

# KOREAN PATENT ABSTRACT(KR)

(11) Publication No. 1994-0022873

(43) Publication Date. 21.10.1994

(21) Application No. 1993-0003119

(22) Application Date. 03.03.1993

(51) IPC Code:

H01L 27/12

(54) TITLE OF THE INVENTION

ARRAY LINE MANUFACTURING METHOD OF THIN FILM TRANSISTOR

## <Abstract>

The present invention relates to an array line manufacturing method of a thin film transistor. Conventionally, there have been problems in that a crossing region of a gate line 2 and a data line 3 of the thin film transistor is short-circuited, gate pulse delay, crosstalk, or flicker effect is generated by static electricity between the two lines. Accordingly, a capacitance value of the crossing region is reduced by forming an insulation layer, which is an array protection layer of the thin film transistor, on a blocking layer 7 formed on the crossing region of the gate line 2 and the data line 3. In addition, since a line width of the data line 3 and a connection metal layer 10 is formed to be narrower than a line width of the data line, the capacitance value is reduced, an RC time is reduced, the gate pulse delay is reduced, a fine image may be obtained, a short-circuit rate between the two lines is reduced, and therefore yield is increased.



(19) 대한민국특허청 (KR)  
(12) 공개특허공보 (A)

(51) Int. Cl.	6		(11) 공개번호	특1994-0022873
H01L 27 /12			(43) 공개일자	1994년10월21일
(21) 출원번호	특1993-0003119			
(22) 출원일자	1993년03월03일			
(71) 출원인	주식회사 금성사 이현조			
(72) 발명자	서울특별시 영등포구 여의도동 20번지 김정현			
(74) 대리인	서울특별시 송파구 방이동 103-8 김용인, 심창섭			
심사청구 : 없음				
(54)	박막트랜지스터 어레이 배선 제조방법			

요약

본 발명은 박막트랜지스터의 어레이 배선제조방법에 관한 것으로 종래의 박막트랜지스터의 게이트라인 (2)과 데이터라인 (3)의 교차부위에서의 단락의 문제점과, 두라인사이에 존재하는 정전용량 값이 커서 게이트펄스 지연 및 누화(Crosstalk) 또는 플리커(flicker) 현상등이 발생하는 문제점이 있었다.

따라서 본발명에서, 게이트라인 (2)과 데이터라인 (3) 교차부위의 차단층 (7)위에 박막트랜지스터의 어레이 보호층인 절연층을 형성시켜 교차부위에서의 커패시턴스 값을 감소시킨다.

또한, 데이터라인 (3) 연결금속층 (10)의 배선펙을 데이터라인의 선펙보다 작게 형성할 수 있으므로, 커패시턴스 용량이 감소되어 시정수(RC time)가 줄어들어 게이트 펄스 지연이 감소됨으로써 선명한 영상을 얻을 수 있고, 두라인간의 단락의 가능성이 감소되어 수율이 향상된다.

대표도

도5

명세서

[발명의 명칭]

박막트랜지스터 어레이 배선 제조방법

[도면의 간단한 설명]

제5도 본 발명의 제1실시예에 따른 박막트랜지스터의 어레이 배선 교차점을 나타낸 평면도, 제6도는 제5도의 제2실시예에 따른 공정순서도, 제7도는 제6도의 공정에서 접촉창 제조방법을 나타낸 평면도, 제8도는 제6도의 공정에서 데이터라인 제조방법을 나타낸 평면도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

#### (37) 청구의 범위

청구항 1. 절연기관(1)위에 금속을 증착하고, 패터닝하여 일정간격을 갖고 일방향으로 배열되도록 게이트라인(2)을 형성하고 일정간격을 갖고 게이트라인(2)과 수직방향으로 배열되며 게이트라인(2)과 교차되는 부분에서 불연속성을 갖도록 라인(3)을 형성하는 공정과, 상기 게이트라인(2)과 데이터라인(3)이 교차되는 부분에 차단층(7)을 형성하는 공정과, 상기 차단층(7)위와, 노출된 데이터라인(3)위에 절연층(8)을 형성하고 마스크공정으로 패터닝하여 불연속적인 데이터라인(3) 연결접촉창(9)을 형성시키는 공정과, 상기 접촉창(9)과 절연층(8)에 금속층(10)을 형성하여 불연속적인 데이터라인(3)을 연결시킴을 특징으로하는 박막트랜지스터 어레이 배선제조방법.

청구항 2. 절연기관(1)위에 게이트라인(2)을 형성시키는 공정과, 데이터라인과 교차된 부분의 상기 게이트라인(2)위에 차단층(7)을 형성하는 공정과, 상기 차단층(7)이 형성될 부분에 데이터라인(2)과 수직방향으로 불연속적 데이터 라인(3)을 형성하는 공정과, 노출된 전표면에 절연층을 형성하고 데이터라인(3) 연결 접촉창(9)을 형성하는 공정과, 상기 데이터라인(3) 연결을 위해 노출된 전표면에 금속층(10)을 형성하여 이루어짐을 특징으로하는 박막트랜지스터의 어레이 배선제조방법.

청구항 3. 제2항에 있어서, 차단층(7)은 절연체/반도체/절연체 또는 절연체/반도체층 구조로 이루어짐을 특징으로 하는 박막트랜지스터의 어레이 배선제조방법.

청구항 4. 제2항에 있어서, 데이터라인(3) 형성시 차단층(7)과 데이터라인(3)이 접촉하지 않도록 형성함을 특징으로 하는 박막트랜지스터의 어레이배선 제조방법.

청구항 5. 제2항에 있어서, 데이터라인(3)을 연결하기 위한 접촉창(9)을 차단층(7) 상측부위에 형성시킴을 특징으로 하는 박막트랜지스터의 어레이 배선제조방법.

청구항 6. 제2항에 있어서, 데이터라인(3)을 연결하기 위한 접촉창(9)을 차단층(7)의 범위밖에 형성시킴을 특징으로 하는 박막트랜지스터의 어레이 배선제조방법.

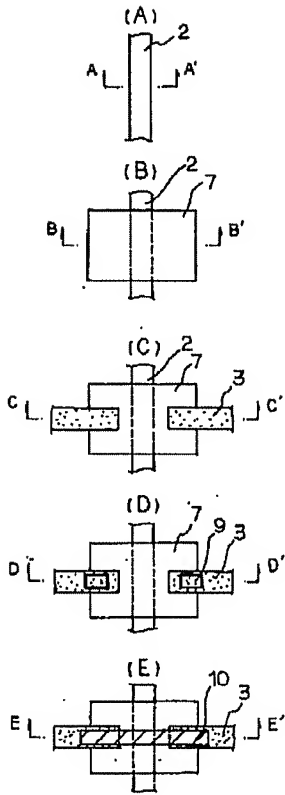
청구항 7. 제2항에 있어서, 데이터라인 연결용 접촉창(9)을 차단층(7)과 데이터라인(3)이 접하는 경계부위에 형성시킴을 특징으로하는 박막트랜지스터의 어레이 배선제조방법.

청구항 8. 제2항에 있어서, 데이터라인(3) 연결용 금속층(10)의 배선펙을 데이터라인(3)의 선펙과 같이 하거나, 작게 하여 형성시킴을 특징으로하는 박막트랜지스터의 어레이 배선제조방법.

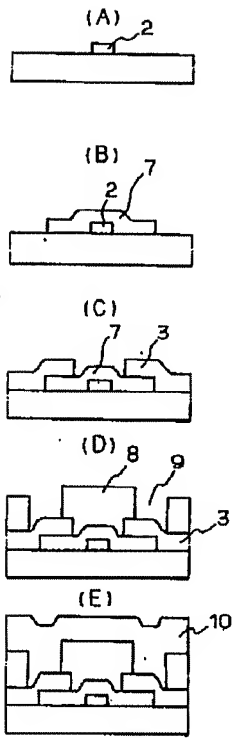
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

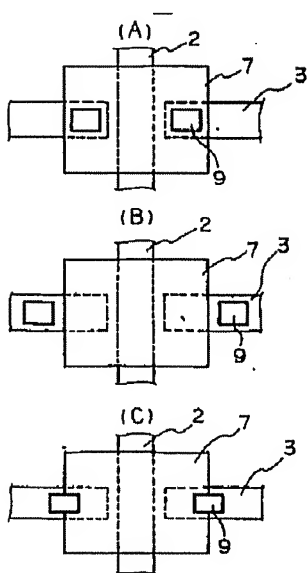
도면5



도면6



도면7



도면8

